

Family list

1 family member for:

JP10319431

Derived from 1 application.

 Back to JP1

1 THIN FILM TRANSISTOR ARRAY SUBSTRATE

Publication info: JP10319431 A - 1998-12-04

Data supplied from the **esp@cenet** database - Worldwide

THIN FILM TRANSISTOR ARRAY SUBSTRATE

Publication number: JP10319431

Publication date: 1998-12-04

Inventor: NAKAGAWA NAOKI

Applicant: ADVANCED DISPLAY KK

Classification:

- international: G02F1/136; H01L21/336; H01L29/786; G02F1/13;
H01L21/02; H01L29/66; (IPC1-7): G02F1/136;
H01L21/336; H01L29/786

- european:

Application number: JP19970125551 19970515

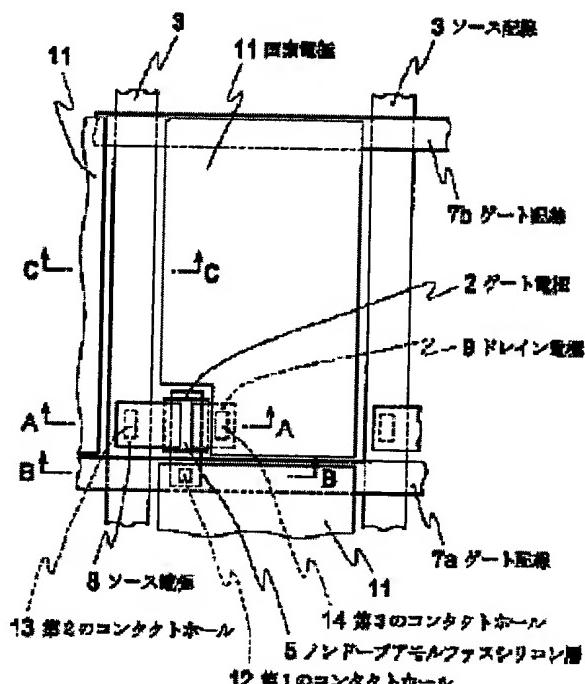
Priority number(s): JP19970125551 19970515

[Report a data error here](#)

Abstract of JP10319431

PROBLEM TO BE SOLVED: To provide a TFT array substrate capable of obtaining a liquid crystal display device which has a large-sized screen, is of high definition and is of a high open-ratio without lowering the display quality.

SOLUTION: This thin film transistor array substrate is a TFT array substrate provided with a transparent insulating substrate, plural gate wirings 7a, 7b, a gate insulating film, plural source wirings 3, an TFT, a pixel electrode 11, a protective film and a holding capacitance, in the substrate, the source wirings 3 and a gate electrode 2 are formed by allowing a high melting point metal film to be patterned and the gate wirings 7a, 7b, a source electrode 8 and a drain electrode 9 are formed by allowing one between a singler layer film consisting of a low resistance metal and a multilayer film including the layer of the low resistance metal to be patterned. Moreover, the pixel electrode 11 is formed on the protective film and the gate electrode 2 and the gate wirings 7a, 7b, the source electrode 8 and the source wirings 3 and the pixel electrode 11 and the drain electrode 9 are respectively connected through contact holes electrically.



Data supplied from the esp@cenet database - Worldwide

特開平10-319431

(43)公開日 平成10年(1998)12月4日

(51) Int.CI.⁶G02F 1/136
H01L 29/786
21/336

識別記号

500

F I

G02F 1/136

500

H01L 29/78

C

616 S
616 U
623 A

審査請求 未請求 請求項の数 8 O L (全7頁) 最終頁に続く

(21)出願番号 特願平9-125551

(71)出願人 595059056

株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(22)出願日 平成9年(1997)5月15日

(72)発明者 中川直紀

熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

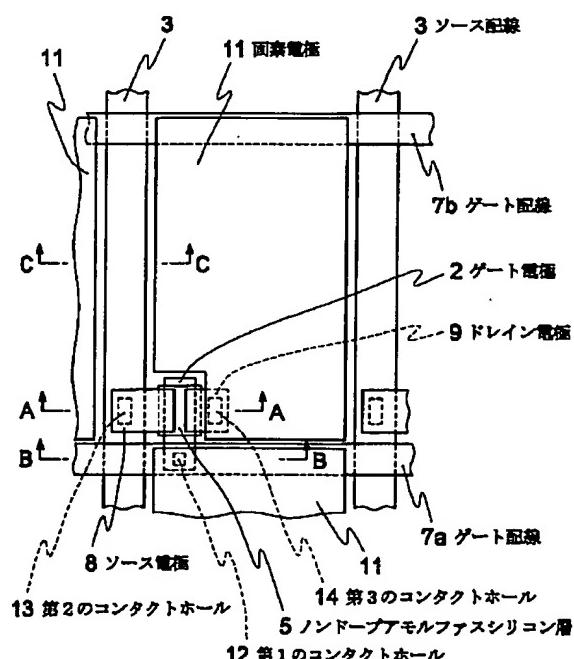
(74)代理人 弁理士 朝日奈宗太 (外1名)

(54)【発明の名称】薄膜トランジスタアレイ基板

(57)【要約】

【課題】 表示品質の低下なしに、大画面で高精細な高開口率の液晶表示装置をうることができるとTFTアレイ基板を提供する。

【解決手段】 透明な絶縁性基板と、複数のゲート配線7a、7bと、ゲート絶縁膜と、複数のソース配線3と、TFTと、画素電極11と、保護膜と、保持容量とを有してなるTFTアレイ基板であって、ソース配線3およびゲート電極2が、高融点金属膜がバーニングされることにより形成され、ゲート配線7a、7b、ソース電極8およびドレイン電極9が、低抵抗金属からなる単層膜または低抵抗金属の層を含む多層膜のうちの1つがバーニングされることにより形成され、画素電極11が保護膜上に形成され、ゲート電極2およびゲート配線7a、7bと、ソース電極8およびソース配線3と、画素電極11およびドレイン電極9とが、それぞれコンタクトホールを介して電気的に接続されてなる。



【特許請求の範囲】

【請求項 1】 透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート配線と、ゲート絶縁膜を介してゲート配線に交差する複数のソース配線と、ゲート配線およびソース配線の交差部に設けられた、ドレイン電極、ソース電極およびゲート電極を含んでなる薄膜トランジスタと、前記ドレイン電極に接続された透明な導電膜からなる画素電極と、前記ゲート電極、ドレイン電極およびソース電極上を覆う保護膜とを有してなる薄膜トランジスタアレイ基板であつて、前記ソース配線およびゲート電極が、絶縁性基板上に堆積された高融点金属膜がバターニングされることにより形成され、前記ゲート配線、ソース電極およびドレイン電極が、ゲート絶縁膜上に堆積された低抵抗金属からなる単層膜および低抵抗金属の層を含む多層膜のうちの 1 つがバターニングされることにより形成され、前記画素電極が保護膜上に形成され、前記ゲート電極とゲート配線とが第 1 のコンタクトホールを介して電気的に接続され、前記ソース電極とソース配線とが第 2 のコンタクトホールを介して電気的に接続され、前記画素電極とドレイン電極とが第 3 のコンタクトホールを介して電気的に接続されてなる薄膜トランジスタアレイ基板。

【請求項 2】 前記画素電極が、ソース配線およびゲート配線の一部にオーバーラップされてなる請求項 1 記載の薄膜トランジスタアレイ基板。

【請求項 3】 前記ゲート絶縁膜の材料が酸化シリコンおよびチッ化シリコンのうちの 1 つである請求項 1 記載の薄膜トランジスタアレイ基板。

【請求項 4】 前記保護膜が絶縁性を有する無機化合物および有機化合物のうちの 1 つからなる単層膜、ならびに無機化合物および有機化合物からなる多層膜のうちの 1 つである請求項 1 記載の薄膜トランジスタアレイ基板。

【請求項 5】 前記無機化合物が酸化シリコンおよびチッ化シリコンのうちの 1 つである請求項 4 記載の薄膜トランジスタアレイ基板。

【請求項 6】 前記高融点金属膜の材料が、クロム、モリブデン、アルミニウム、タンタルおよびタングステンのうちの少なくとも 1 つである請求項 1 記載の薄膜トランジスタアレイ基板。

【請求項 7】 前記単層膜の材料がアルミニウムを含む合金である請求項 1 記載の薄膜トランジスタアレイ基板。

【請求項 8】 前記多層膜の材料が、クロム、モリブデン、タンタルおよびタングステンのうちの少なくとも 1 つ、ならびにアルミニウムである請求項 1 記載の薄膜トランジスタアレイ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に用

いられる薄膜トランジスタアレイ基板に関するものである。

【0002】

【従来の技術】 液晶表示装置は、通常、薄膜トランジスタ（以下、「TFT」という）を含んでなる薄膜トランジスタアレイ基板（以下、「TFTアレイ基板」という）と、カラーフィルタ、ブラックマトリクスおよび対向電極を含んでなる対向基板と、TFTアレイ基板および対向基板間に挟持された液晶などの表示材料を含む層（以下、「液晶層」ともいう）とからなり、該表示材料に選択的に電圧が印加されるように構成されている。なお、前記液晶表示装置の表示部には複数の画素がマトリクス状に形成されてなる。

【0003】 前記TFTアレイ基板は、透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート配線と、ゲート絶縁膜を介してゲート配線に交差する複数のソース配線と、ゲート配線およびソース配線の交差部に設けられた、ドレイン電極、ソース電極およびゲート電極を含んでなる TFT と、前記ドレイン電極に接続された透明な導電膜からなる画素電極と、前記ゲート電極、ドレイン電極およびソース電極上を覆う保護膜とを有してなる。

【0004】 つぎに、逆スタガ型 TFT を含んでなる TFT アレイ基板を形成する際に生じる問題点について説明する。まず、透明な絶縁性基板たるガラス基板上にゲート配線およびゲート電極を同時に形成したのち、ゲート絶縁膜と TFT 中に含まれる半導体層とを順次形成する。さらに、ソース配線、ソース電極およびドレイン電極を同時に形成したのち、画素電極を形成する。したがって、ゲート配線をアルミニウムなどの低抵抗金属を用いて形成することが困難である。すなわち、アルミニウムなどの低抵抗金属を用いたばあい、ゲート絶縁膜を形成するための処理中の熱履歴によりヒルロックが発生し、ゲート配線と、TFT アレイ基板中に含まれる導電性の構成要素（たとえばソース配線）とのあいだで短絡が発生し、TFT アレイ基板を形成する際の歩留まりが低下するという問題が生じる。したがって、TFT アレイ基板の製造工程に、ゲート配線と他の導電性の構成要素とのあいだの絶縁性を保つためにゲート配線を陽極酸化膜で覆う工程などを追加することが必要となる。

【0005】 また、対向基板中に含まれるブラックマトリクスは、液晶層に正常に電圧が印加されていない領域から他の領域への光の透過（クロストーク）、および TFT アレイ基板の TFT が形成される部分（以下、「TFT 部」という）への外部からの光の入射を防ぐために形成されるものである。従来の液晶表示装置においては、TFT アレイ基板および対向基板を重ね合わせる際の精度（以下、「重ね合わせ精度」という）が数 μm と大きいため、ブラックマトリクスにより画素の開口率が著しく低下するという問題がある。

【0006】従来のTFTアレイ基板では、画素の高開口率化のために、ソース配線と画素電極とが部分的に対向するように形成され、ソース配線にブラックマトリクスとしての機能ももたせている。図7は、従来のTFTアレイ基板の一例を示す平面説明図である。図8は、図7のE-E線断面を示す説明図であり、TFT部の断面が示されている。図9は、図7のF-F線断面を示す説明図であり、ソース配線の断面が示されている。図7～図9において、21は絶縁性基板、22はゲート配線、23は陽極酸化膜、24はゲート絶縁膜、25は半導体層を構成するノンドープアモルファスシリコン層、26は半導体層を構成するリンドープアモルファスシリコンからなるコンタクト層、27はソース配線、28はドレイン電極、29は保護膜、30は画素電極を示す。なお、図7には、絶縁性基板21、陽極酸化膜23、ゲート絶縁膜24、コンタクト層26、保護膜29は示されていない。また、図8および図9に示される絶縁性基板21の厚さは、実際は、絶縁性基板21上に形成される他の構成要素の厚さに比べて非常に厚い。さらに、図7、図8および図9において、ゲート配線22およびソース配線27のうち、TFTを構成する部分をゲート電極およびソース電極とする。

【0007】つぎに、従来のTFTアレイ基板の製法について説明する。まず、絶縁性基板21上にアルミニウムなどの金属材料を堆積させ、パターニングしゲート配線22を形成する。さらに、ゲート配線22の端子部分を除いて、ゲート配線22上に陽極酸化膜23を形成する。ついで、ゲート絶縁膜24、ノンドープアモルファスシリコンからなる層およびリンドープアモルファスシリコンからなる層を形成する。そして、ノンドープアモルファスシリコンからなる層およびリンドープアモルファスシリコンからなる層をアイランド状にパターニングして、ノンドープアモルファスシリコン層25およびコンタクト層26を形成したのち、ソース配線27およびドレイン電極28を形成する。そののち、コンタクト層26のうち、ソース配線27およびドレイン電極28とのチャネル部として必要な部分以外を除去したのち、保護膜29を形成する。最後に、透明の導電膜からなる画素電極30をソース配線27と一部が重なるように形成する。なお、画素電極30とドレイン電極28とは、保護膜29に設けられたコンタクトホール31を介して電気的に接続されている。

【0008】

【発明が解決しようとする課題】従来のTFTアレイ基板は、製造工程にゲート配線を陽極酸化膜で覆う工程が含まれるため、大画面でかつ高精細な液晶表示装置を形成するばあい、TFTアレイ基板の製造工程が複雑になるという問題がある。また、画素電極およびソース配線間に形成される絶縁膜が保護膜の一層のみであるため、画素電極およびソース配線間で形成される重なり容量が

大きいという問題や、画素電極とソース配線との短絡により歩留まりの低下が生じるという問題がある。また、画素電極とソース配線のあいだで形成される重なり容量を小さくするために、保護膜の膜厚を大きくしたりする必要があり、生産性の面でも問題がある。

【0009】さらに、従来のTFTアレイ基板は、画素電極とソース電極との一部を互いに対向させてブラックマトリクスを形成しているので、画素電極が形成される位置とソース電極が形成される位置との位置合わせを厳密に行うことが必要になり製造工程が複雑となるという問題がある。また、ソース配線に歪みが生じたばあい、各画素ごとの開口率が異なり輝度傾斜が大きくなり、液晶表示装置の表示特性が劣化するという問題がある。

【0010】本発明はかかる問題を解決するためになされたものであり、輝度ムラ、クロストークなどによる表示品質の低下なしに、大画面で高精細な高開口率の液晶表示装置をうることができるとTFTアレイ基板を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明のTFTアレイ基板は、透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート配線と、ゲート絶縁膜を介してゲート配線に交差する複数のソース配線と、ゲート配線およびソース配線の交差部に設けられた、ドレイン電極、ソース電極およびゲート電極を含んでなる薄膜トランジスタと、前記ドレイン電極に接続された透明な導電膜からなる画素電極と、前記ゲート電極、ドレイン電極およびソース電極上を覆う保護膜とを有してなる薄膜トランジスタアレイ基板であって、前記ソース配線およびゲート電極が、絶縁性基板上に堆積された高融点金属膜がパターニングされることにより形成され、前記ゲート配線、ソース電極およびドレイン電極が、ゲート絶縁膜上に堆積された低抵抗金属からなる単層膜および低抵抗金属の層を含む多層膜のうちの1つがパターニングされることにより形成され、前記画素電極が保護膜上に形成され、前記ゲート電極とゲート配線とが第1のコンタクトホールを介して電気的に接続され、前記ソース電極とソース配線とが第2のコンタクトホールを介して電気的に接続され、前記画素電極とドレイン電極とが第3のコンタクトホールを介して電気的に接続されてなるものである。

【0012】また、前記画素電極が、ソース配線およびゲート配線の一部にオーバーラップされてなるものである。

【0013】また、前記ゲート絶縁膜の材料が酸化シリコンおよびチッ化シリコンのうちの1つである。

【0014】また、前記保護膜が絶縁性を有する無機化合物および有機化合物のうちの1つからなる単層膜、ならびに無機化合物および有機化合物からなる多層膜のうちの1つである。

【0015】さらに、前記無機化合物が酸化シリコンお

およびチッ化シリコンのうちの 1 つである。

【0016】また、前記高融点金属膜の材料が、クロム、モリブデン、アルミニウム、タンタルおよびタンクス滕のうちの少なくとも 1 つである。

【0017】また、前記单層膜の材料がアルミニウムを含む合金である。

【0018】また、前記多層膜の材料が、クロム、モリブデン、タンタルおよびタンクス滕のうちの少なくとも 1 つ、ならびにアルミニウムである。

【0019】

【発明の実施の形態】本発明の TFT アレイ基板は、透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート配線と、ゲート絶縁膜を介してゲート配線に交差する複数のソース配線と、ゲート配線およびソース配線の交差部に設けられた、ドレイン電極、ソース電極およびゲート電極を含んでなる TFT と、前記ドレイン電極に接続された透明な導電膜からなる画素電極と、前記ゲート電極、ドレイン電極およびソース電極上を覆う保護膜とを有してなる。前記ソース配線およびゲート電極は、絶縁性基板上に堆積された高融点金属膜がバターニングされることにより形成され、前記ゲート配線、ソース電極およびドレイン電極は、ゲート絶縁膜上に堆積された低抵抗金属からなる单層膜および多層膜のうちの 1 つがバターニングされることにより形成され、前記画素電極は保護膜上に形成される。さらに、前記ゲート電極とゲート配線とは第 1 のコンタクトホールを介して電気的に接続され、前記画素電極とドレイン電極とは第 2 のコンタクトホールを介して電気的に接続され、前記ソース電極とソース配線とは第 3 のコンタクトホールを介して電気的に接続される。

【0020】つぎに、図面を参照しながら本発明の TFT アレイ基板の実施の形態について説明する。

【0021】実施の形態 1. 図面を参照しながら、本発明の TFT アレイ基板の実施の形態 1 について説明する。図 1 は、本発明の TFT アレイ基板の一実施の形態を示す平面説明図である。図 2 は、図 1 の A-A 線断面を示す説明図であり、TFT 部の断面が示されている。図 3 は、図 1 の B-B 線断面を示す説明図であり、ゲート配線の断面が示されている。図 4 は、図 1 の C-C 線断面を示す説明図であり、ソース配線の断面が示されている。図 1 ~ 図 4 において、1 は絶縁性基板、2 はゲート電極、3 はソース配線、4 はゲート絶縁膜、5 は半導体層を構成するノンドープアモルファスシリコン層、6 は半導体層を構成するリンドープアモルファスシリコンからなるコンタクト層、7 a、7 b はゲート配線、8 はソース電極、9 はドレイン電極、10 は保護膜、11 は画素電極を示す。なお、図 1 には、絶縁性基板 1、ゲート絶縁膜 4、コンタクト層 6、保護膜 10 は示されていない。また、図 2、図 3 および図 4 に示される絶縁性基板 1 の厚さは、実際は、絶縁性基板 1 上に形成される他

の構成要素の厚さに比べて非常に厚い。

【0022】つぎに、本実施の形態の TFT アレイ基板の製法について説明する。まず、絶縁性基板 1 上に、高融点金属膜として、クロムからなる单層膜、またはクロムおよびアルミニウムからなる多層膜を形成しバターニングして、ゲート電極 2 およびソース配線 3 を形成する。さらに、酸化シリコン (SiO_2) またはチッ化シリコン ($SiNx$ 、 x は正の整数である) からなるゲート絶縁膜 4、ノンドープアモルファスシリコンからなる層、およびリンドープアモルファスシリコンからなる層を形成する。ついで、ノンドープアモルファスシリコンからなる層およびリンドープアモルファスシリコンからなる層をアイランド状にバターニングして、ノンドープアモルファスシリコン層 5 およびコンタクト層 6 を形成する。さらに、ゲート絶縁膜 4 に、ゲート電極 2 との間に形成されるゲート配線とを電気的に接続するための第 1 のコンタクトホール 12、およびソース配線 3 との間に形成されるソース電極とを電気的に接続するための第 2 のコンタクトホール 13 が形成される。そして、アルミニウムからなる单層膜またはアルミニウムの層を含む多層膜を形成しバターニングして、ゲート配線 7 a、7 b、ソース電極 8 およびドレイン電極 9 を形成する。前記アルミニウムの層を含む多層膜の例としては、絶縁性基板 1 側からアルミニウムおよびクロムが順次堆積されてなる多層膜、または絶縁性基板 1 側からアルミニウム、クロムおよびアルミニウムが順次堆積されてなる多層膜などがある。そののち、コンタクト層 6 のうち、ソース電極 8 およびドレイン電極 9 ノンドープアモルファスシリコン層 5 とのチャネル部として必要な部分以外を

30 除去したのち、保護膜 10 を形成する。なお、保護膜 10 は、絶縁性を有する無機化合物および有機化合物のうちの 1 つからなる单層膜、または無機化合物および有機化合物からなる多層膜である。無機化合物の例としては、酸化シリコンまたはチッ化シリコンがあり、有機化合物の例としては、アクリル系の有機化合物がある。ついで、ドレイン電極 9 との間に形成される画素電極とを電気的に接続するための第 3 のコンタクトホール 14 を保護膜 10 に形成する。最後に、画素電極 11 を形成する。図示されているように、保持容量を形成するため

40 に、画素電極 11 の一部は、前段のゲート配線であるゲート配線 7 b の一部にオーバーラップしている。

【0023】なお、本実施の形態においては、チャネルエッチ型 TFT を用いて形成された TFT アレイ基板について述べたが、チャネル保護型 TFT を用いることも可能である。

【0024】前述のような方法で形成された TFT アレイ基板は、ゲート配線がアルミニウムを用いて形成できるので、ゲート配線を低抵抗化することができ、大画面で高精細な液晶表示装置を表示ムラ無く形成できる。

【0025】実施の形態 2. つぎに、図面を参照しなが

ら本発明のTFTアレイ基板の実施の形態2について説明する。図5は、本発明のTFTアレイ基板の他の実施の形態を示す平面説明図である。図6は、図5のD-D線断面を示す説明図であり、ソース配線の断面が示されている。図5および図6において、図1～図4と同一の部分は同じ符号を用いて示した。なお、図5には、絶縁性基板1、ゲート絶縁膜4、コンタクト層6、保護膜10は示されていない。

【0026】本実施の形態のTFTアレイ基板においては、保持容量を形成するために、画素電極11の一部が、ソース配線3の一部にオーバーラップしている。その他の部分については、実施の形態1に示されるTFTアレイ基板と同様の構造を有する。画素電極11をソース配線3にオーバーラップさせることにより、ソース配線3にブラックマトリクスとしての機能をもたせることができる。

【0027】本実施の形態のTFTアレイ基板は、画素電極11と、ブラックマトリクスとして機能するソース配線3とのあいだに形成される絶縁膜が、ゲート絶縁膜2と保護膜10との2層であるため、画素電極11とソース配線3とのあいだの容量が低減できる。したがって、ソース配線3に入力されるソース信号の電圧が変動することにより生じる画素電極の電位の変化を抑制でき、液晶表示装置の表示品質を改善できる。

【0028】本発明において、ソース配線およびゲート電極は高融点金属膜を用いて形成される。高融点金属膜の材料は、クロム、モリブデン、アルミニウム、タンタルおよびタンクステンのうちの少なくとも1つであることが、のちに行なわれる製造工程における熱履歴による変質およびヒルロックの発生を防止できるため好ましい。さらに、前記ゲート配線、ソース電極およびドレイン電極が低抵抗金属たるアルミニウムを含む合金（たとえば、アルミニウム、シリコンおよび銅からなる合金またはアルミニウムおよびモリブデンからなる合金など）からなる単層膜を用いて形成されることが、ゲート配線、ソース電極およびドレイン電極を低抵抗化できるため好ましい。また、ゲート配線、ソース電極およびドレイン電極が、クロム、モリブデン、タンタルおよびタンクステンのうちの少なくとも1つ、ならびにアルミニウムからなる多層膜を用いて形成されてもよい。

【0029】

【発明の効果】本発明によれば、TFTアレイ基板の製造工程にゲート配線を陽極酸化膜で覆う工程などを追加することなく、ゲート配線を低抵抗化でき、大画面で高精細の液晶表示装置における輝度傾斜を低減できる。

【0030】また、ソース配線にブラックマトリクスとしての機能をもたせたばあいにおいても、画素電極とソース配線とのあいだに形成される絶縁膜が、ゲート絶縁膜と保護膜との2層であるため、画素電極とソース配線とのあいだの容量が低減できる。したがって、ソース配線に入力されるソース信号の電圧が変動することにより生じる画素電極の電位の変化を抑制でき、液晶表示装置の表示品質を改善できる。

【図面の簡単な説明】

【図1】本発明のTFTアレイ基板の一実施の形態を示す平面説明図である。

【図2】図1のA-A線断面を示す説明図である。

【図3】図1のB-B線断面を示す説明図である。

【図4】図1のC-C線断面を示す説明図である。

【図5】本発明のTFTアレイ基板の他の実施の形態を示す平面説明図である。

【図6】図5のD-D線断面を示す説明図である。

【図7】従来のTFTアレイ基板の一例を示す平面説明図である。

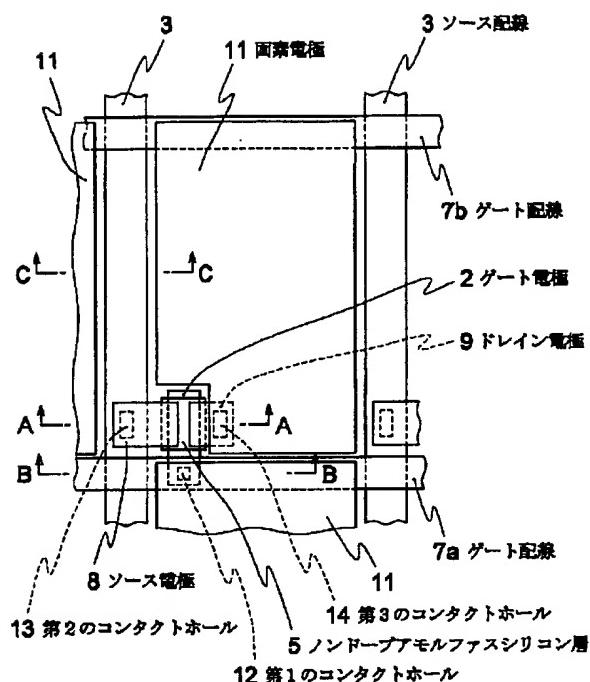
【図8】図7のE-E線断面を示す説明図である。

【図9】図7のF-F線断面を示す説明図である。

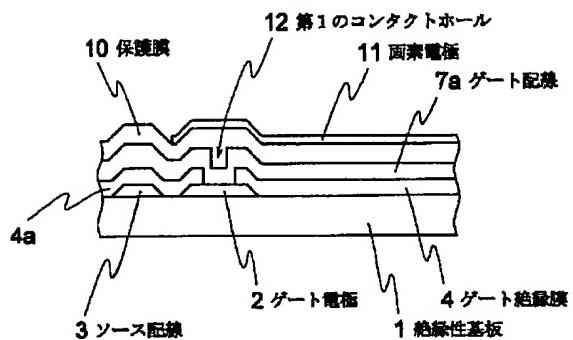
【符号の説明】

- 1 絶縁性基板
- 2 ゲート電極
- 3 ソース配線
- 4 ゲート絶縁膜
- 5 ノンドープアモルファスシリコン層
- 6 コンタクト層
- 7a, 7b ゲート配線
- 8 ソース電極
- 9 ドレイン電極
- 10 保護膜
- 11 画素電極
- 12 第1のコンタクトホール
- 13 第2のコンタクトホール
- 14 第3のコンタクトホール

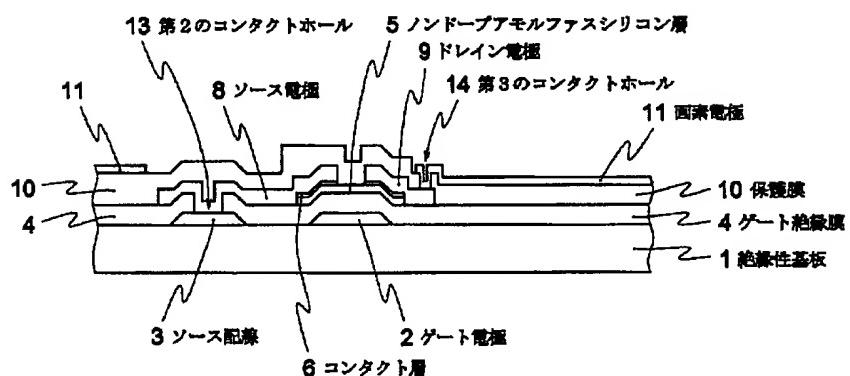
【図 1】



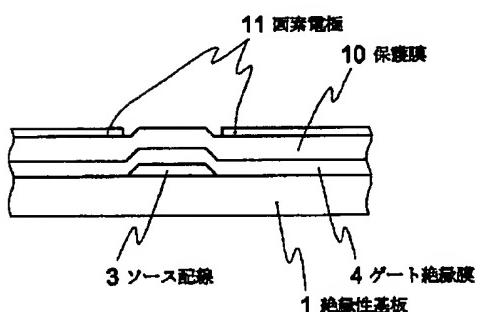
【図 3】



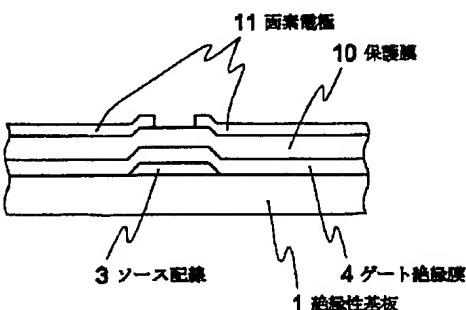
【図 2】



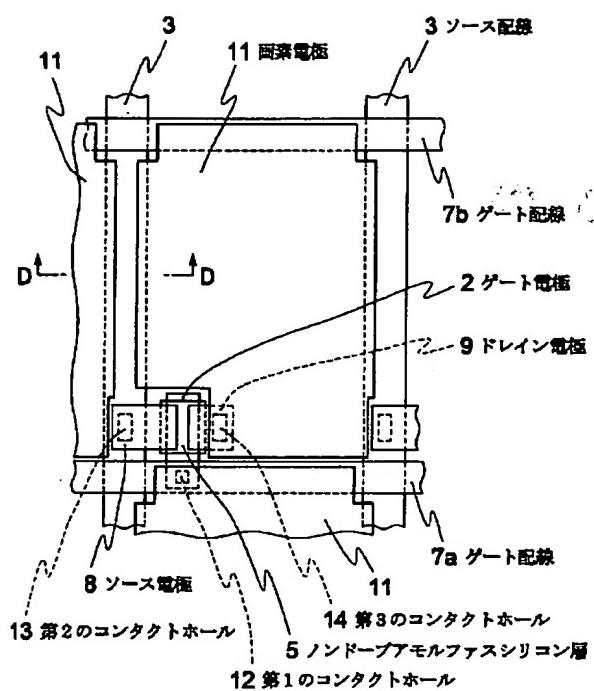
【図 4】



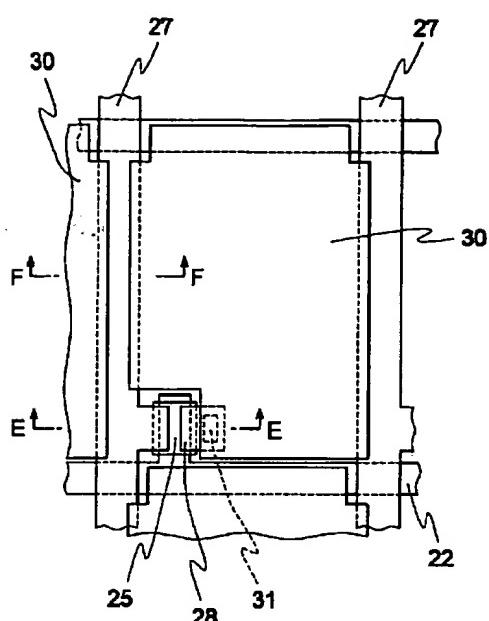
【図 6】



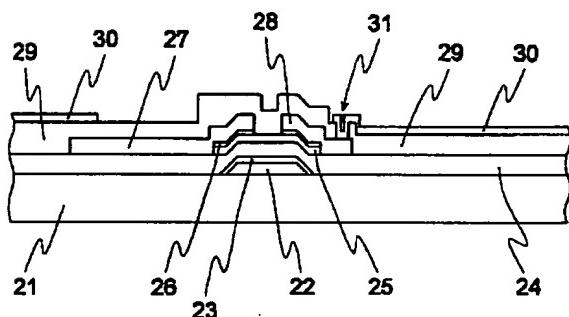
【図 5】



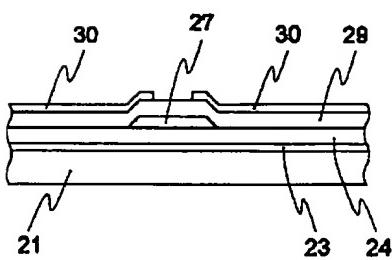
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int.CI.*

識別記号

F I

H 01 L 29/78

627C

THIS PAGE BLANK (USPTO)